

3/5/2 Links

JAPIO

(c) 2007 JPO & JPIO. All rights reserved.

01394421 **Image available**

BUS CONSTITUTING SYSTEM

Pub. No.: 59-106021 [JP 59106021 A]

Published: June 19, 1984 (19840619)

Inventor: YANAGIDA KOJI

SHINTANI HIROSHI

Applicant: OKI ELECTRIC IND CO LTD [000029] (A Japanese Company or Corporation), JP (Japan)

NIPPON TELEGR & TELEPH CORP <NTT> [000422] (A Japanese Company or Corporation), JP (Japan)

Application No.: 57-215549 [JP 82215549]

Filed: December 10, 1982 (19821210)

International Class: [3] G06F-003/00

JAPIO Class: 45.1 (INFORMATION PROCESSING -- Arithmetic Sequence Units)

Journal: Section: P, Section No. 307, Vol. 08, No. 223, Pg. 151, October 12, 1984 (19841012)

ABSTRACT

PURPOSE: To connect an optional device to an optional position of an optional bus by providing a bus use right determining circuit which transmits a bus use permission signal and determines the directional property of a bus connecting circuit.

CONSTITUTION: Central processing units 52 and 53, main storage devices 54 and 55, and input/output devices 56 and 57 are connected to a bus connecting circuit 58 through internal busses 50 and 51. A bus use right determining circuit 59 is provided. This determining circuit 59 accepts bus use request signals 60-65 from respective devices to determine the device for authorizing the use of a bus in accordance with a preliminarily determined priority and transmits corresponding one of bus use permission signals 66-71 to the device. The circuit 59 transmits bus transmission direction control signals 72 and 73 for controlling the signal transmission direction in the connecting circuit 58. Thus, an optional device is connected to an optional position of an optional bus.

⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑰ 公開特許公報 (A)

昭59-106021

⑯ Int. Cl.³
G 06 F 3/00

識別記号
101

庁内整理番号
D 7165-5B

⑯ 公開 昭和59年(1984)6月19日

発明の数 1
審査請求 未請求

(全12頁)

⑯ バス構成方式

⑯ 特 願 昭57-215549

⑯ 出 願 昭57(1982)12月10日

⑯ 発明者 柳田耕二

東京都港区虎ノ門1丁目7番12

号沖電気工業株式会社内

⑯ 発明者 新谷廣

武藏野市緑町3丁目9番11号日本電信電話公社武藏野電気通信研究所内

⑯ 出願人 沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

⑯ 出願人 日本電信電話公社

⑯ 代理人 弁理士 山本恵一

明細書

1. 発明の名称

バス構成方式

2. 特許請求の範囲

複数の双方向バスがバス結合回路により結合され、かつ各々の双方向バスには少なくとも1個の中央処理装置、主記憶装置、入出力装置からなる装置群が接続され、前記双方向バスとバス結合回路を介して前記各装置の間のデータの授受を行う情報処理システムにおいて、バス使用に関する各装置の優先順位の決定と前記バス結合回路の方向性を決定するバス使用権決定回路が前記各装置及びバス結合回路に接続され、各装置はバスを使用する際バス使用要求信号をバス使用権決定回路に送出し、バス使用権決定回路は各装置の予じめ定められる優先順位に従ってバス使用要求信号を送出した装置のうち最高優先順位の装置にバス使用許可信号を送出し、バス使用権決定回路は送信側装置がデータを双方向バスに送出するタイミングと受信側装置が応答を双方向バスに返送するタイ

ミングに合せて前記バス結合回路の方向性を切換える信号を前記バス使用許可信号とともに作成するごとに構成され、複数の双方向バスの装置の間でデータの授受を行なうことを特徴とする、バス構成方式。

3. 発明の詳細な説明

本発明はそれぞれに中央処理装置、主記憶装置、入出力装置が接続されている複数の双方向バスをバス結合回路を介して接続することによりバス拡張を行い、各装置がバス間にまたがってデータの転送を行えるようにしたバス構成方式に関するものである。

従来の情報処理システムにおいて、入出力バスを拡張した場合のシステム構成例を第1図に示す。第1図において1は命令語および各種データを記憶する主記憶装置(MM)、2は命令の実行制御を行う中央処理装置(CPU)、3~6は入出力装置(IO)、7, 8はCPUと各IO間を接続する入出力バス(IOB₀, IOB₁)、9は入出力バス0(IOB₀)と入出力バス1(IOB₁)とを結合するバス結合

回路(BUS CUP)である。一般的な情報処理システムでは、入出力バスは1本のバスで十分であるが、入出力装置が多くなった場合もしくはバスのケーブル長が制限値以上になつた場合には電気的条件や速度条件を満足させるためにバス結合回路9を接続して入出力バスの拡張が行われる。第2図はバス結合回路9の内部構成例を示したものであり、10は第1図の入出力バス0(IOB₀)の一部を構成する双方向のデータ線0(DATA₀)で通常複数のビットよりなる。11は前記のDATA₀を受信してIOB₁のDATA₁2へ再送出する中継用バスドライバーであり、図中では1ビットのみのバスドライバーを代表して示している。

13は前記のDATA₁2を受信してIOB₀のDATA₀10へ再送出する中継用バスドライバーであり、図中では1ビットのみのバスドライバーを代表して示している。14は前記のデータ線0、1の転送方向を規定する制御信号(BSI₀)で、CPU2より送出される。15は前記のBSI₀を受信してIOB₁のBSI₁9へ再送出するバスドライバ

によりBSI₀14の否定論理出力が接続されているため論理“0”が入力され、バスドライバ11の出力はDATA₀の内容に関係なく論理“0”が出力される。

なお、DATA₀10は第1図のCPU2、入出力装置3～4のバスドライバ(図示せず)およびバス結合回路9のバスドライバ13の出力がワイヤード・オアされており、一時期には1装置のバスドライバのみが有効状態になり有意の情報を送出する。他の装置のバスドライバは無効状態となって論理“0”を出力している。通常のTTL回路構成のバスドライバを使用した場合、論理“0”は高レベルで、また論理“1”は低レベルに設定される。同様にDATA₁2はバス結合回路9のバスドライバ11及び入出力装置5～6のバスドライバの出力がワイヤード・オアされている。

従って、前述したようにBSI₀14が論理“1”的場合、バスドライバ11の出力は論理“0”(高レベル)が出力されるが、ワイヤード・オアの電気特性により入出力装置5～6のいずれかの装置の

一である。

また、前記のBSI₀は入出力バス0、1に接続されている各入出力装置へ送出され、入出力装置とCPU間のデータ転送方向を規定すると共に、バス結合回路9内の双方向用バスドライバーの制御用信号として使用される。16及び17はバスドライバ11及び13の制御端子で、論理“1”が入力されると入力データの内容が出力データとして再生送出され、論理“0”が入力されるとバスドライバーの出力は入力データに関係なく論理“0”が出力される。

第2図の例では、BSI₀14はバスドライバ13の制御端子17及びインバータ回路18に接続されている。またインバータ回路18の出力がバスドライバ11の制御端子16に接続されている。今、BSI₀が論理“1”的状態であるとするとバスドライバ13は制御端子入力が論理“1”であるためDATA₁2の内容がバスドライバ13によりDATA₀10へ再生送出される。一方、バスドライバ11の制御端子16には、インバータ回路18

バスドライバがDATA₁2へ論理“1”(低レベル)を出力していればDATA₁2の値は論理“1”(低レベル)になり、また前記入出力装置のバスドライバがDATA₁2へ論理“0”(高レベル)を出力していればDATA₁2の値は論理“0”に確定する。即ち、DATA₁2の内容は前記の入出力装置のドライバの出力の内容が保たれることになる。一方、DATA₀10には前述した動作内容によりバスドライバ13の出力によりDATA₁2の内容が出力される。

この時、DATA₀10に接続されている各装置のバスドライバの出力が論理“0”を出力するよう制御されているため、DATA₀10の値はバスドライバ13の出力即ち、DATA₁2の内容に確定する。また、前記BSI₀16が論理“0”的場合は同様の制御内容によりDATA₀10の内容がDATA₁2へ送出される。

次に、第2図の20はCPU2から送出されるアドレス送出信号(ADO₀)で、DATA₀10の内容が入出力装置アドレスであることを指定する。21は

前記の ADO_0 2 0 を受信し ADO_1 2 2 へ再送出するバスドライバである。2 3 は第 1 図の入出力装置 5 ~ 6 の各装置より送出される応答信号 (RPI₁) である。2 4 は前記の RPI₁ 2 3 を受信し、RPI₀ 2 5 へ再送出するバスドライバである。

また、該 RPI₀ 2 5 には第 1 図の入出力装置 3 ~ 4 より送出される応答信号も接続され、CPU 2 により受信される。以上第 2 図によりバス結合回路 9 の概略説明を行ったが、実際にはバス結合回路 9 には前述した信号の他に各種の制御信号が収容されバスドライバが設けられるが第 2 図では省略している。

つぎに、第 1 図の CPU 2 と入出力装置 6 間での情報転送例についてその動作概要を説明する。第 3 図は上記の情報転送時における転送シーケンスを示したもので、第 3 図の(a)は CPU 2 から入出力装置 6 へアドレス情報を送出する場合の転送シーケンスを示し、(b)は入出力装置 6 からデータを CPU 2 へ読み取る場合の転送シーケンスを示す。最初に、第 3 図(a)を用いて CPU 2 から入出力装置 6

へデータ（図中の例ではアドレス情報の転送を示す。）する場合について説明する。まず、CPU 2 の DATA 送出用バスドライバ（図示せず）により送出すべきデータ 3 1（第 2 図(a)では入出力装置アドレス (IOA) 及び入出力装置内のレジスタ番号 (IOR) が転送する場合を示している。）を $DATA_0$ 1 0 へ送出する。ついで CPU 2 は前記の送出データが $DATA_0$ 1 0 上で確定する時間（一般には入出力バスインターフェースの規定として決められた値） T_1 後に ADO_0 2 0 へ第 3 図の 3 2 で示すタイミングで論理 "1" を送出し、 $DATA_0$ 1 0 の内容がアドレス情報であることを指定する。この場合 CPU 2 からのデータ送出であるため前記の BSI_0 1 4 は論理 "0" が送出される。（第 3 図(a)では図示されず）したがって前述した如く CPU 2 から送出された情報 3 1 は $DATA_0$ 1 0 上を伝播しバス結合回路 9 を経て $DATA_1$ 1 2 へ再送出される。第 3 図ではある遅延時間（ $DATA_0$ 1 0 上の伝播遅延時間とバスドライバ 1 1 の動作時間の和の時間以下同様である。）後のタイミング 3 3 で示している。また、 ADO_0 の

信号 3 2 は、第 2 図のバスドライバ 2 1 により ADO_1 2 2 上に再送出される。第 3 図では、ある遅延時間後のタイミング 3 4 で示している。

以上説明した動作により入出力バス IOB_0 7 と IOB_1 8 に前記の各信号が CPU 2 から送出された状態になる。一方、入出力バス IOB_0 7 と IOB_1 8 に接続されている入出力装置 3 ~ 6 は ADO_0 2 0 もしくは ADO_1 2 2 の内容が論理 "1" 状態を受信し、 $DATA_0$ 1 0 もしくは $DATA_1$ 1 2 上の前記入出力装置アドレス (IOA) 情報と自己の入出力装置アドレスとを比較し、一致した入出力装置は $DATA_1$ 1 0 もしくは $DATA_1$ 1 2 上の情報を内部レジスタ（図示せず）へ記憶する。以後は入出力装置 6 が CPU 2 から送出された前記 IOA と自己の入出力装置アドレスが一致した場合について説明する。入出力装置 6 は前記の $DATA_1$ 1 2 上の情報を正常に受信した場合、応答信号を第 3 図の 3 5 で示すタイミングで RPI_1 2 3 上へ送出する。該 RPI_1 2 3 の応答信号は第 2 図に示すバス結合回路 9 のドライバ 2 4 により RPI_0 2 5 へ再送出される。該信号を第 3 図で

はタイミング 3 6 で示している。つぎに、CPU 2 は RPI_0 上の応答信号 3 6 を受信すると指定した入出力装置で送出情報が正常に受信されたものと見做して、以前に $DATA_0$ 1 0 および ADO_0 2 0 へ送出していた第 3 図の信号 3 1 および 3 2 の送出を終了する。これらの信号の終了状態は前述した方法によりバス結合回路 9 のバスドライバ 1 1 およびバスドライバ 2 1 により $DATA_1$ 1 2 および ADO_1 2 2 へ伝播される。入出力装置 6 は ADO_1 2 2 が論理 "0" になったことを確認した後応答信号 3 5 の送出を終了する。

以上説明した動作により CPU 2 から入出力装置 6 への情報転送シーケンスを終了する。つぎに、入出力装置 6 から CPU 2 へ情報転送する場合の転送シーケンスを第 3 図(b)により説明する。なお、この場合入出力装置 6 の選択及び入出力動作指定は前述した第 3 図(a)の転送シーケンスにより終了しているものとする。まず、CPU 2 からデータの読み取りを指定するための読み取り指示信号を第 3 図(b)の 3 7 に示すタイミングで BSI_0 1 4 へ論理 "1"

信号を送出する。該信号はバス結合回路9のバスドライバ15によりBSI₁ 19へ第3図(b)の38に示すタイミングで再送出される。また、前記読み取り指示信号37によりバス結合回路9のバスドライバ13を有効状態にすると共に、他のバスドライバ11を無効状態にし、DATA₁ 12の内容がバスドライバ13を経由してDATA₀ 10へ伝播される状態に設定する。ついで、入出力装置6はBSI₁ 19上の前記読み取り信号38を受信した後、前もって指定されたデータをDATA₁ 12上へ第3図(b)の39のタイミングで送出する。該データは前述した方法によりバスドライバ13を経由してDATA₀ 10上へ第3図(b)の40のタイミングで伝播される。つぎに入出力装置6は前記のデータ39の一一定時間後応答信号をRPI₁ 23上へ第3図(b)の41のタイミングで送出する。該信号41はバスドライバ24にてRPI₀ 25へ応答信号42として再送出される。CPU2は前記応答信号42を受信すると共にDATA₀ 10上のデータ40の内容を受信した後、以前より送出していた読み取り指

示信号37の送出を終了するためDATA₀ 10上のデータは無効状態(論理"0")になる。また、入出力装置6はBSI₁ 19の信号が終了したことを検出することによりCPU2がデータを受信したことを見識し以前に送出したデータ39および応答信号41の送出を終了する。

上記の一連の動作によりCPU2による入出力装置6からのデータ読み取り動作を終了する。

以上は、従来の入出力バスのバス結合回路によるバス拡張方式の実施例について説明したものであるが、この方法では双方向伝送される信号(第2図ではDATA₀ 10およびDATA₁ 12にて相当)の伝送方向の制御は入出力バスを構成する信号の一部(第2図ではBSI₀ 14にて相当)を使用して行っていた。前述した実施例では読み取り指示信号(BSI₀) 14で行っていたが該信号はCPUのみでバスの使用権を決定し、非同期に送出されるものであるため、マルチプロセッサンシステム等のように複数のCPUが別々のバスに接続された場合(例えば第1図のIOB₁ 8にてCPUが接続された場合)に

はバス結合回路の双方方向バスドライバーの方向性が決まらず対処できないという欠点があった。

本発明は従来の技術の上記欠点を改善するものでその目的は任意のバス上の任意の位置に任意の装置を接続することができるようになしたバス構成方式を提供することにあり、バス使用権決定回路を設け、該装置においてバスに接続された各装置からのバス使用要求信号をもとにバス使用許可信号を該当装置へ送出すると共に、該バス使用許可信号によりバス結合回路における信号の伝送方向を決定することを特徴とする。

以下図面により実施例を説明する。

第4図は本発明の第1の実施例におけるシステム構成例であって、50～51は装置間の情報伝送に使用される内部バス0(IBUS₀)及び内部バス1(IBUS₁)、52～53は中央処理装置0(CPU₀)及び中央処理装置1(CPU₁)、54～55は主記憶装置0(MM₀)及び主記憶装置1(MM₁)、56～57は入出力装置0(IO₀)及び入出力装置1(IO₁)、58はIBUS₀ 50と

IBUS₁ 51を結合するバス結合回路(BUS CUP)59は各装置からのバス使用要求信号(BRO)を受け付け、あらかじめ決められている優先順位に従ってバス使用を許す装置を決定し、その装置に対してバス使用許可信号(BAK)を送出すると共に前記BUS CUP 58内の信号伝送方向を制御するためのバス伝送方向制御信号(BDIR)72～73を送出するバス使用権決定回路(BUS ABT)、60～65は各装置からBUS ABT 59に送出されるバス使用要求信号(BRO)、66～71はBUS ABT 59から各装置へ送出されるバス使用許可信号(BAK)である。

第5図は本発明の第1の実施例におけるバス結合回路(BUS CUP)58およびバス使用権決定回路(BUS ABT)59の回路構成例であって、80～84、94～95はインバータ回路、85～90はアンド(論理積)ゲート、91はオア(論理和)ゲート、92～93はフリップフロップ(F F)、96～99はバス情報の中継用バスドライバーである。

第6図は本発明の第1の実施例における制御信号のタイミング関係を示したものである。第7図に本発明の第1の実施例におけるバス上を伝送される内容を示す。

次に第4図～第7図により本発明の第1の実施例における動作を詳細に説明する。最初に、第4図のCPU₀・52がMM₁・55からデータを読み取る場合について説明する。まず、CPU₀・52はバスの使用要求をCPU₀・BRO 60を通してBUS ABT 59へ第6図110のタイミングで送出する。なお、各装置のバス使用要求信号BRO（なお、第5図及び第6図の信号名では要求元装置名が添字されている）はⅠ相クロックに同期して送出される。BUS ABT 59において、CPU₀・BRP 60はアンドゲート89(5)に接続される。この時、より優先度の高い装置MM₀、MM₁、IO₀及びIO₁のいずれの装置からのバス使用要求も無い場合（各装置のバス使用要求信号62～65がいずれも“0”的状態）は、アンドゲート89の他の入力線89-(1)～(4)は各インバータ80～83の出力に接続されているため

論理“1”が入力されており、アンドゲート89の出力であるバス使用許可信号CPU₀・BAK 66には“1”が第6図111のように出力される。また、アンドゲート89の出力はオアゲート91(3)の入力に接続され“1”を与えるためオアゲート91の出力線には“1”が出力され、該信号はFF92の入力端子Dの入力信号として“1”が入力される。この状態でⅠ相クロックがFF92のクロック端子Cに入力されると、第6図の112のタイミングでFF92は“1”にセットされる。さらに、FF92の出力端子QはFF93の入力端子Dに接続されているため“1”が入力される。この状態でⅡ相クロックがFF93のクロック端子Cに入力されると、第6図の113のタイミングでFF93は“1”にセットされる。

一方、CPU₀はBUS ABT 59のCPO・BAK 66により前記の111のバス使用許可信号を受信すると、次のⅠ相クロックから1サイクルの間、第6図の114のタイミングでDATA情報（第7図の150～155の情報）をIBUS₀・50にて送出する。この

場合、IBUS₀・50のDATA部100（第5図）にはメモリアドレス関連情報として、データフラグ150はDATA線上の内容が有効であることを示すために“1”が、受信装置指定151はMM₁指定、送信装置指定152はCPU₀指定、制御情報153は読み取り動作指定、アドレス情報154はMM₁内のメモリアドレス指定、データ情報155は任意の値（一般にはオールゼロ）が各自送出される。

上記のDATA情報は第5図のDATA線100を介して、BUS CUP 58の中継用バスドライバー96に伝送される。（第5図では1個のドライバーのみを代表して図示している。）この時、前述したFF92の出力“1”信号はドライバー104を経由して信号線72を通して前記中継用バスドライバー96の制御端子Cに入力されているため、前記のIBUS₀のDATA線100の内容はIBUS₁のDATA線101へ送出される。一方、中継用バスドライバー97の制御端子Cには、前記FF92の出力がドライバー104、信号線72を経由して伝送された後インバータ回路95により“0”に反転して

入力されるため、中継用バスドライバー97は無効状態になりDATA線101の情報はDATA線100へは伝播されない。

前述した制御内容によりCPU₀・52から送出されたDATA情報はIBUS₀・50及びIBUS₁・51のDATA線100及び101にて伝送される。つぎに、IBUS₀・50及びIBUS₁・51に接続されている装置は前記によりDATA線100又は101上に送出されている受信装置指定情報151の内容が自装置を指定している場合は、DATA線上の他の情報（152～155）を入力すると共に制御情報153で指定された動作の実行可否を判定する。この場合、一般的にはバスのパリティエラー、動作中、無効オーダ等を判定する。本実施例ではMM₁・55が上記の一連の動作を実施する。即ち、動作指示を受けたMM₁・55は上記の判定動作を行った後、指定動作が実行可能な場合、Ⅰ相クロックでDATA線101上の情報152～155を内部レジスター（図示せず）にセットすると共に前記の判定結果を状態情報157として応答フラグ156（“1”）

と共に I 相クロックに同期して第 6 図の 115 のタイミングで 1 サイクルの間 RLY 線 103 へ送出する。なお、指定動作が実行不可能な場合、前記の判定結果のみを状態情報 157 として応答フラグ 156 と共に前記と同様 IC RLY 線 103 へ送出する。

一方、BUS CUP 58 の RLY 線中継用バスドライバ 98 (第 5 図では 1 個のドライバーのみを図示している。) の制御端子 C には、BUS ABT 59 の BDIR(I)FF93 の出力 (この時 FF93 は前記動作により "1" がセットされている。) がパッファ 105 及び信号線 73 を経由して接続されているため、RLY 線 103 の内容はバスドライバー 98 により RLY 線 102 へ中継される。また、バスドライバー 99 の制御端子 C には信号線 73 がインバータ回路 94 を経て接続されているため "0" 信号が入力され、バスドライバー 99 は無効状態になり RLY 線 102 の内容は RLY 線 103 には中継されない。

上記動作により MM155 から送出された応答情

は MM1BAK 線 69 を通して MM155 へバス使用許可信号として第 6 図の 117 のタイミングで伝送される。この場合、MM155 は IBUS151 に接続されている装置であるため、アンドゲート 86 の出力はオアゲート 91 の入力端子には接続されていない。また、オアゲート 91 の入力端子 1 はアンドゲート 85 の出力に接続されていることから、MM054 からのバス使用要求が出されていなければ MM0BRO62 は "0" であるためアンドゲート 85 の出力は "0" となり、オアゲート 91 の入力端子 1 の入力信号は "0" となる。一方、オアゲート 91 の他の入力端子 2 及び 3 は各々アンドゲート 87 及びアンドゲート 89 の出力に接続されているが、前記 2 つのアンドゲート 87, 89 の 1 つの入力にはインバータ回路 81 の出力が接続されているため、"0" 信号が入力される (この時、インバータ回路 81 の入力は "1" 信号であるため) ことになり、該アンドゲート 87, 89 の出力は "0" 信号になる。前記の結果、オアゲート 91 の全入力信号が "0" 信号のため該オアゲート 91 の

報 (応答フラグ、状態情報) は RLY 線 103 、バスドライバー 98 及び RLY 線 102 を経由して CPU052 に伝送される。CPU052 は前記応答情報により MM155 が DATA 情報を正常に受信し、指定動作を開始出来るか否かを知ることができる。

つぎに、前記動作により DATA 情報を受信した MM155 は制御情報 153 (本実施例では読み取り動作指定) 及びアドレス情報 154 の指定に従って記憶内容の読み取り動作を行う。MM155 は前記動作終了後、前記の読み取りデータを CP052 へ送出するため、バス使用要求線 MM1BRO63 を通して BUS ABT 59 に対してバス使用要求信号を第 6 図の 116 のタイミングで送出する。前記の MM1BRO63 は BUS ABT 59 のアンドゲート 86 の入力端子 2 に接続されているため、この時 MM054 からのバス使用要求が出されていなければ、MM0BRO62 は "0" 信号であり、インバータ回路 80 により "1" 信号が送出されアンドゲート 86 の入力端子 1 に入力されているため、アンドゲート 86 の出力は "1" 信号が出力され、該信号

出力からは "0" 信号が出力され、該信号が BDIR(I)FF92 の入力信号となることから、BDIR(I)FF92 は次の I 相クロックが入力した時点で "0" にセットされる。 (第 6 図の 118 ; 図中の破線は "0" 状態を示す。) BDIR(I)FF92 の出力信号はアンドゲート 104 及び信号線 72 を経由して BUS CUP 58 内の中継用バスドライバー 96 の制御端子 C の入力となるため、該バスドライバー 96 は無効状態となり DATA 線 100 の内容は DATA 線 100 へは中継されない。一方、バスドライバ 97 の制御端子 C にはインバータ回路 95 によりアンドゲート 104 の出力の否定信号として入力されるため "1" 信号が入力され、該バスドライバ 97 は有効状態となり DATA 線 100 の内容を DATA 線 100 へ中継する状態に設定される。この時、前記の MM1BAK 信号 117 を受信した MM155 は DATA 情報を I 相クロックに同期して図 6 の 120 のタイミングで DATA 線 100 へ 1 サイクルの間 (次の I 相クロックまでの間) 送出する。この場合の DATA 情報としては、データフラグ 150

として "1" 信号が、受信装置指定 151 として CPU₀ 指定 (MM₁ が以前に CPU₀ から受信した送信装置指定情報 152 の内容が使用される。) が、送信装置指定 152 として MM₁ 指定が、制御情報 153 として動作結果報告指定が、アドレス情報 154 としてはエラー情報 (正常に動作が実行された場合はオールゼロが、また動作実行中にエラーが検出された場合はエラー内容が設定される。) が、さらにデータ情報 155 としては読み取りデータが送出される。

前述した動作により MM₁ 55 から送出された前記 DATA 情報は DATA 線 101、BUS CUP 58 のバスドライバー 97 及び DATA 線 100 を経由して CPU₀ 52 に伝送される。CPU₀ 52 は前記 DATA 線 100 上の受信装置指定情報 151 において CPU₀ 指定が行わたっていることを検出することにより、次の I 相クロックにより (第 6 図 121 のタイミング) 他の DATA 情報 (152 ~ 155) を内部レジスターにセットすると共に、第 6 図の 122 のタイミングで受信動作に関する状態情報 157

を応答フラグ 156 と共に RLY 線 102 に送出する。一方、BUS ABT 59 内の BDIR(II) FF93 の入力端子 D には前記の BDIR(I) FF92 の "0" 出力信号が入力されるため、次の II 相クロックで BDIR(II) FF93 は "0" にセットされる。(第 6 図の 119 のタイミング: 図では破線により "0" 状態を示す。) 該 BDIR(II) FF93 の出力はドライバー 105、信号線 73 を経由して BUS CUP 58 内のバスドライバー 98 の制御端子 C に接続され "0" 信号が入力されるため該バスドライバー 98 は無効状態になり RLY 線 103 の内容は RLY 線 102 へ中継されない。また、該 BDIR(II) FF93 の出力はドライバー 105、信号線 73 及びインバータ回路 94 を経由してバスドライバー 99 の制御端子 C に接続されているため、"1" 信号が該制御端子 C に入力され該バスドライバー 99 は有効状態になり、RLY 線 102 の内容を RLY 線 103 へ中継する状態に設定される。これらの前記動作により、CPU₀ 52 から送出された状態情報 157 及び応答フラグ 156 は RLY 線 102、BUS CUP 58 のバ

スドライバー 99 及び RLY 線 103 を経由して MM₁ 55 へ伝送される。

前述した一連の動作により CPU₀ 52 による MM₁ 55 からのメモリデータの読み取り動作が実行される。なお、本実施例においては、IBUS₀ 50 と IBUS₁ 51 の異なるバスに接続された CPU₀ 52 と MM₁ 55 間の動作について動作説明を行ったが、他の種類の装置間におけるデータ転送も同様に行われる。なお、同一バス (IBUS₀ 50 または IBUS 51) 内の 2 装置間のデータ転送においても、前述した BUS ABT 59 の一連の動作により BUS CUP 58 の中継用バスドライバー 96 ~ 99 は制御されるが、BUS ABT 59 よりバス使用許可信号を受信した 1 台の装置のみがデータ送出を行い、他の装置は "0" 信号を送出する (一般的なバス構成法であるため説明は省略する。) ため、動作中の装置が接続されている以外のバスからのデータは "0" 信号が中継される。したがって、同一バス内に接続された 2 装置間のデータ転送は正常に行うことができる。第 6 図(b)に示した各信号タイミ

ングは IO₀ 56 が MM₀ 54 へデータ転送を行う場合において、CPU₁ 53 からのバス使用要求と IO₀ 56 によるバス使用要求が同時に発生して、IO₀ 56 のバス使用要求が BUS ABT 59 により優先的に受けられ、CPU₁ 53 からのバス使用要求の受け付けが 1 サイクル遅延した場合を示している。第 5 図において IO₀·BRO 64 と CPU₁·BRO 61 とが同一のタイミングで BUS ABT 59 に送出されてきた場合、アンドゲート 90 の入力端子 3 には IO₀·BRO 65 ("1" 信号) がインバータ回路 82 を経て入力されるため "0" 信号が入力されアンドゲート 90 の出力 (CPU₁·BAK 67) は "0" 信号となり CPU₁ 53 からのバス使用要求は受け付けられず、IO₀ 56 からのバス使用要求 IO₀·BRO 64 が "0" 信号になるまで待合せ状態になり次のサイクル (第 7 図の 123 のタイミング) で受け付けられる。他の動作は前述の CPU₀ 52 と MM₁ 55 間のデータ転送の場合と同様に行われる。

なお、本実施例では記述しなかったがバス使用許可信号 (BAK) は装置対応に個別に送出するこ

となく、エンコードして装置番号の形で送出することによりバス使用許可信号線の数を減らすことも容易に実現することが可能である。

(以下余白)

以上説明したように、第1の実施例では各装置からの個別のバス使用要求(BRO)信号をBUS ABT 5 9で受信し、あらかじめ決定されている優先順位に従ってバス使用許可装置を優先決定回路(インバータ回路80～84、アンドゲート85～90)により決定し、バス使用許可信号(BAK)を個別のバス使用許可信号線(66～71)によりバス使用許可装置に対して送出すると共に、該バス使用許可信号をもとに、該使用許可装置が接続されるバス位置に従って、BUS CUP 5 8の中継用バスドライバー(96～99)の中継方向をバスドライバー制御信号(BDIR(I)72, BDIR(I)73)に、より制御するため、バス結合回路の制御のために特別な信号を新たに設けることなしに、装置の種類に関係なく、任意のバス位置に接続された任意の装置間でデータ転送を行うことができる利点がある。

第1の実施例では装置間のデータ転送について説明したが、第8図に示す如く、CPU, MM, IO等により構成される処理システム(CP)160

～163を共通バス0(CBUS₀)164及び共通バス1(CBUS₁)165へ共通バスアダプタ(CBADP)166～169を介して接続することにより、マルチプロセッサシステムにおけるバス拡張を実現することができる。即ち、CP間のデータ転送又はCPと共に主記憶装置(CMM₀1)、共通入出力装置(CIO₀1)との間でデータ転送を行なう場合、各CPのCBADPから第1の実施例と同様にバス使用要求信号をバス使用要求線(BRO)を介してBUS ABT 170へ送出し、該BUS ABT 170からバス使用許可信号をバス使用許可信号線(BRO)を介して受信した後共通バスへ必要なデータを送出することにより、BUS ABT 170, BUS CUP 171, CBUS₀164, CBUS₁165が第1の実施例(但し、第1の実施例のIBUSはCBUSとなる。)と同様の機能を実現するため、任意の装置間でデータ転送を行うことができる。

本実施例のようにマルチプロセッサシステムにおいてはシステムを構成する装置数が多くなり、実装スペース及び各バスに接続される装置数が大

きくなるため、バスの電気的条件(バス長、バス接続負荷数等)を満足させることができにくくなると共に、介バスに接続される装置の種類も増加する。

然るに、本発明を用いて共通バスを拡張することにより前記の問題であるところのバスに対する電気条件が改善でき、かつ任意の種類の装置又はシステムを任意のバス位置に接続することができる効果が生じる。

第1及び第2の実施例においては1個のBUS CUPにより2組のバス間を結合させる例であるが、第9図の如くBUS CUPを2個以上設け(第9図では2個の場合のみを示す。)ることによりバスの数を3組以上に増加させることも可能である。

この場合、第5図のBUS ABT 5 9のバス方向制御回路(BDIR FF 92, 93, パシフィカゲート104, 105)を2組み準備しBUS CUP₀, BUS CUP₁の中継用バスドライバーの制御信号を作成する。まずBUS₀180に接続された装置181, 182等に対するバス使用許可信号(BAK: 図示せず)をオアゲート(図示せず: 第5図の91相

当)の入力とし、該オアゲートの出力を BUS CUP₀ (183)制御用バス方向制御回路の入力信号とする。次に BUS₀ 180 及び BUS₁ 185 IC 接続された装置 181, 182, 186, 187 等に対するバス使用許可信号を前記と同様にオアゲート(図示せず)の入力とし、該オアゲートの出力を BUS CUP₁ (184)制御用バス方向制御回路の入力信号とする。また、BUS CUP₀ 183, BUS CUP₁ 184 の構成は第5図の BUS CUP 58 と同一である。

今、BUS₀ 180 に接続された装置(181又は182)からデータを送出する場合、BUS ABT 191 からバス使用許可信号が前記のバス使用要求装置(181又は182)へ送出されると、前記のオアゲート及びバス方向制御回路の構成により BUS CUP₀ 183 及び BUS CUP₁ 184 へバスドライバー制御信号(BDIR(I)II) 192 ~ 195 IC "1" が送出され(タイミングは第6図に準じる。)、DATA線の場合、BDIR(I) 192, 194 IC より BUS CUP₀ 183 では BUS₀ 180 の内容を BUS₁ 185 へ、

また BUS CUP₁ 184 では BUS₁ 185 の内容を BUS₂ 188 へ中継するようにバスドライバー(図示せず)が設定される。従って、BUS₀ 180 に接続された装置から送出されたデータは BUS₀ 180 → BUS CUP₀ 183 → BUS₁ 185 → BUS CUP₁ 184 → BUS₂ 188 のルートによりシステム内の全装置に送出される。さらに、BDIR(I) 193, 195 IC より RLY 線は BUS CUP₀ 183 では BUS₁ 185 の内容を BUS₀ 180 へ、また BUS CUP₁ 184 では BUS₂ 188 の内容を BUS₁ 185 へ中継するようにバスドライバー(図示せず)が設定される。従って受信装置からの応答情報は前記と反対方向のルートにより BUS₀ 180 に接続された装置で受信することが可能となる。

一方、BUS₂ 188 IC 接続された装置からデータ送出する場合は前述したバス方向制御回路の構成により BUS ABT 191 からのバスドライバー制御信号 192 ~ 195 は全て "0" 信号が BUS CUP 183, 184 に送出されるため、前述した BUS₀ 180 に接続された装置からデータを送出する場

合と逆のルート設定が行われることになり、BUS₂ 188 に接続された装置から任意の他の装置に対するデータ転送が可能になる。

つぎに、BUS₁ 185 IC 接続された装置からデータを送出する場合は、前記のバス方向制御回路の構成により BUS CUP 184 IC 対するバスドライバー制御信号 194, 195 のみへ "1" 信号が送出されるため、DATA 線は BUS CUP₀ 183 において、BUS₁ 185 の内容が BUS₀ 180 へ、また BUS CUP₁ 184 において BUS₁ 185 の内容が BUS₂ 188 へ中継されるように設定される。一方、RLY 線は BUS₀ 180 の内容が BUS₁ 185 へ、また BUS₂ 188 の内容が BUS₁ 185 へ中継されるように設定される。従って、BUS₁ に接続された装置からの他の任意の装置に対するデータ転送も可能になる。

本実施例で示した如く、BUS CUP 及び BUS ABT 内のバス方向制御回路の個数を増加させることにより、複雑な回路構成をとることなく 3 組以上のバスを結合させて大規模システムのバスを実現す

ることが可能である。

本発明はバスに接続された装置から個別に送出されてバス使用要求信号により該装置の接続位置を認識し、バス使用許可信号によりバス結合回路の中継用バスドライバーの制御信号を作成するため、特別な信号を設けることなく複数のバスが必要となる大規模システムにおけるバス制御に利用することができる。又バスの拡張が極めて容易である。

4. 図面の簡単な説明

第1図は従来の実施例におけるシステム構成図、第2図は従来の実施例におけるバス結合回路の構成図、第3図(a)及び(b)は従来の実施例における制御信号のタイムチャート図、第4図は本発明の第1の実施例のシステム構成図、第5図は第1の実施例におけるバス結合回路(BUS CUP)及びバス使用権決定回路(BUS ABT)の構成図、第6図は第1の実施例における制御信号のタイムチャート図、第7図は第1の実施例における装置からバスに送出される情報内容図、第8図は本発明の第2

の実施例のシステム構成図、第9図は本発明の第3の実施例のシステム構成図である。

50, 51…内部バス、52, 53…中央処理装置、54, 55…主記憶装置、56, 57…入出力装置、58…バス結合回路、59…バス使用権決定回路。

特許出願人

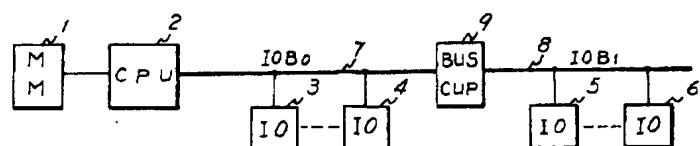
沖電気工業株式会社

日本電信電話公社

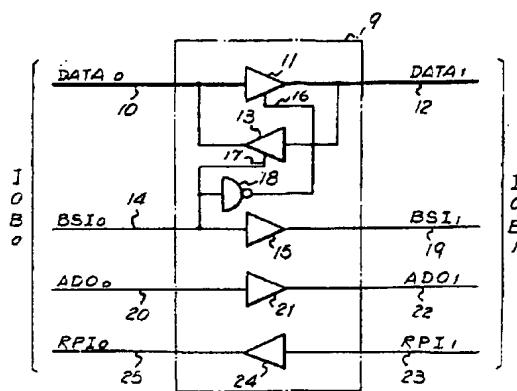
特許出願代理人

弁理士 山 本 恵一

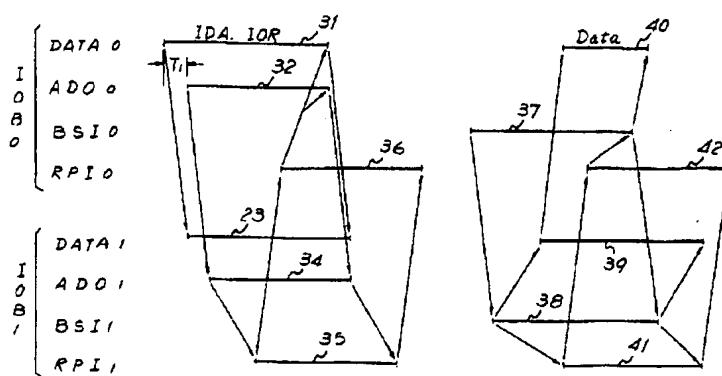
第1図



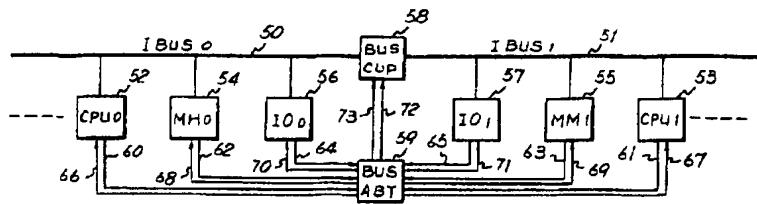
第2図



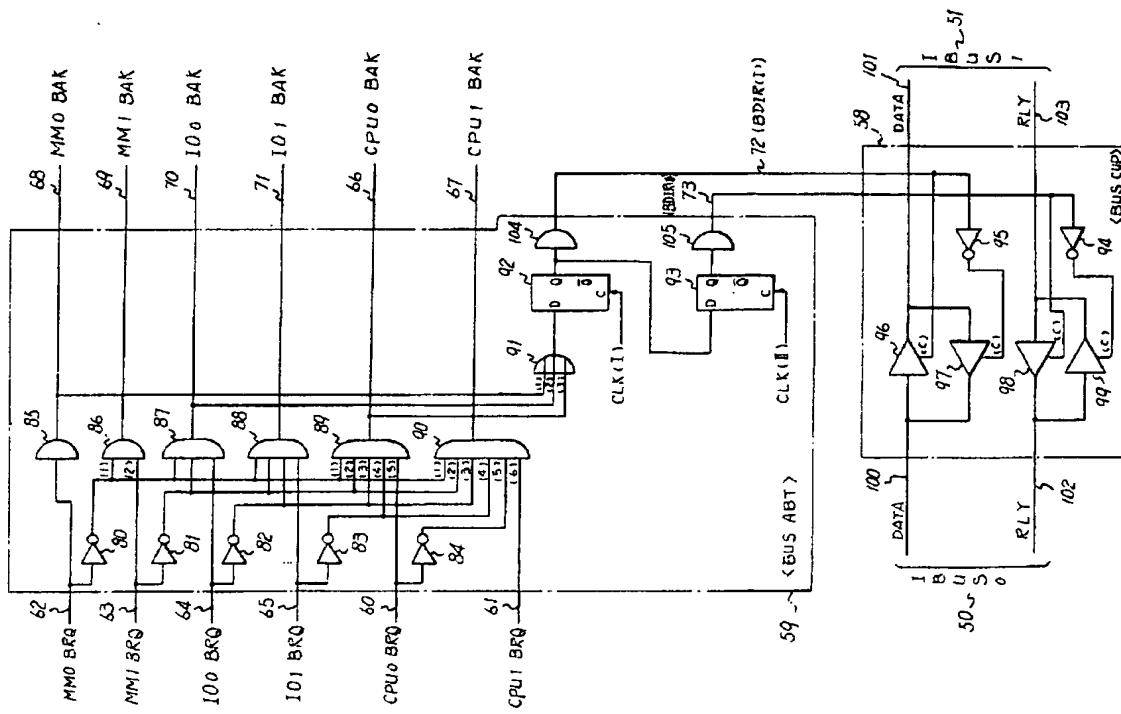
第3 図



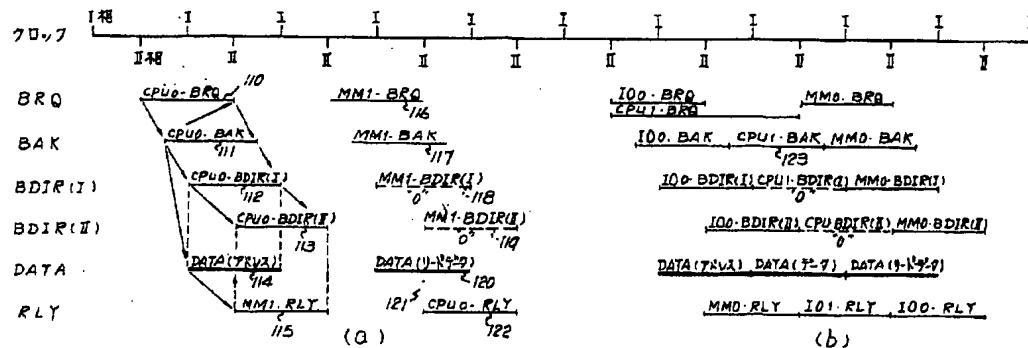
第4 図



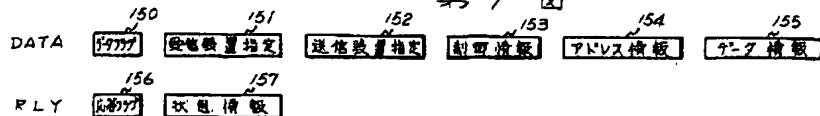
第5 図



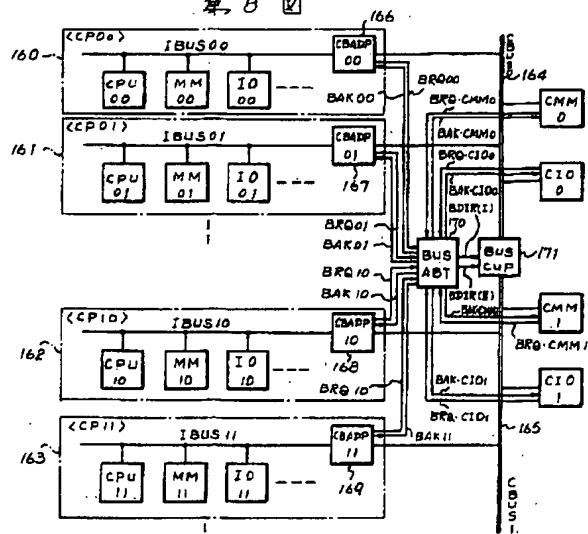
第 6 図



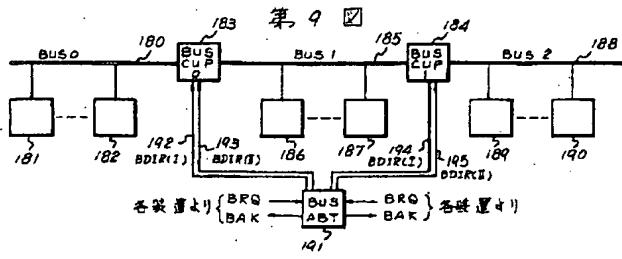
第 7 図



第 8 図



第 9 図



平成 1. 7. 4 発行

手 線 補 正 書 (自 発)

平成元年 2月16日

特許法第17条の2の規定による補正の掲載

昭和57年特許願第 215549号(特開昭59-106021号, 昭和59年6月19日発行 公開特許公報 59-1061号掲載)については特許法第17条の2の規定による補正があつたので下記のとおり掲載する。 6(3)

Int.CI.	識別記号	庁内整理番号
G06F 13/36	310	C-8840-5B

特許庁長官 吉田文毅 殿

1. 事件の表示

昭和57年特許願第215549号

2. 発明の名称

バス構成方式

3. 補正をする者

郵便との関係 特許出願人

名称

(029) 沖電気工業株式会社

(他 1名)

4. 代理人

住所 〒105 東京都港区西新橋1丁目5番12号
タンビル 電話 580-6540

氏名 井理士(7493) 山本忠一(山本)

5. 補正の対象

(1) 明細書の発明の詳細な説明の欄

(2) 図面

6. 補正の内容

(1) 明細書第6頁第15行に「BSI.16が」とあるのを「BSI.14が」と補正する。

(2) 同書第8頁第1行に「データ(図中)」とあるのを「データ転送(図中)」と補正する。

(3) 同書第14頁第1行～第2行に「(BUS CUP) 59は」とあるのを「(BUS CUP)、59は」と補正する。

(4) 同書第14頁第2行に「(BR0) を」とあるのを「(BRQ) を」と補正する。

(5) 同書第15頁第9行に「CPU.·BR060」とあるのを「CPU.·BRQ60」と補正する。

(6) 同書第15頁第11行に「バス使用要求信号 BR0」とあるのを「バス使用要求信号 BRQ」と補正する。

(7) 同書第15頁第14行に「CPU.·BRP60」とあるのを「CPU.·BRQ60」と補正する。

(8) 同書第16頁第16行に「CPU·BAK66」とあるのを「CPU.·BAK66」と補正する。

(9) 同書第17頁第14行～第15行に「バスドライプ」とあるのを「バスドライバー」と補正する。

(10) 同書第17頁第19行に「ドライバ」とあるのを「ドライバー」と補正する。

(11) 同書第18頁第5行に「IOBUS.51」とあるのを「IBUS.51」と補正する。

(12) 同書第20頁第11行及び同頁第14行に「MM.·BR063」とあるのを「MM.·BRQ63」と補正する。

(13) 同書第20頁第17行及び第21頁第9行に「MM.·BR062」とあるのを「MM.·BRQ62」と補正する。

(14) 同書第22頁第6行及び同頁第12行に「アンドゲート」とあるのを「ドライバー」と補正する。

(15) 同書第23頁第16行に「行わたていることを」とあるのを「行われていることを」と補正する。

(16) 同書第26頁第7行及び同頁第14行に「IO.·

平成 1. 7. 4 発行

BR064」とあるのを「IO_o·BRQ64」と補正する。

(17) 同書第26頁第7行に「CPU_o·BRQ61」とあるのを「CPU_o·BRQ61」と補正する。

(18) 同書第26頁第9行に「入力端子3」とあるのを「入力端子(3)」と補正する。

(19) 同書第26頁第10行に「BR065」とあるのを「BRQ64」と補正する。

(20) 同書第28頁第2行に「(BRO)」とあるのを「(BRQ)」と補正する。

(21) 同書第28頁第3行に「ABP59」とあるのを「ABT59」と補正する。

(22) 同書第28頁第13行に「に、より制御するため」とあるのを「により制御するため」と補正する。

(23) 同書第29頁第6行に「(CMM_o.1)」とあるのを「(CMM_o,1)」と補正する。

(24) 同書第29頁第7行に「(CIO_o.1)」とあるのを「(CIO_o,1)」と補正する。

(25) 同書第29頁第9行に「(BRO)」とあるのを「(BRQ)」と補正する。

(26) 同書第29頁第12行に「(BRO)」とあるのを「(BAK)」と補正する。

(27) 同書第30頁第3行に「介バスに」とあるのを「各バスに」と補正する。

(28) 同書第30頁第15行に「バッファゲート」とあるのを「ドライバー」と補正する。

(29) 同書第30頁第16行に「BUS CUP。BUS」とあるのを「BUS CUP., BUS」と補正する。

(30) 同書第31頁第16行に「CPU184」とあるのを「CPU,184」と補正する。

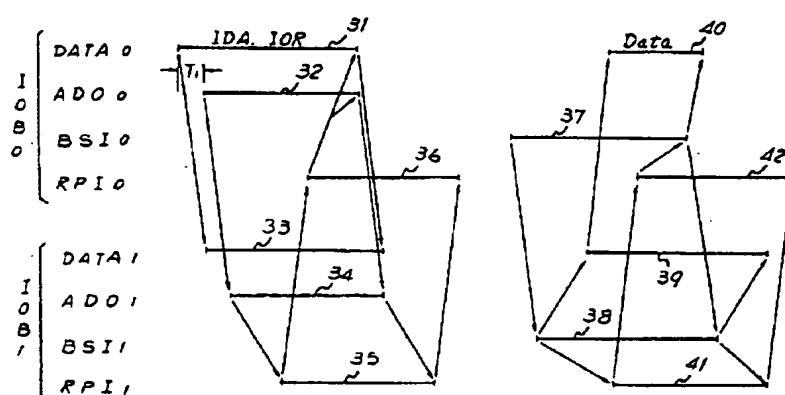
(31) 同書第33頁第6行に「BUS CUP184」とあるのを「BUS CUP,184」と補正する。

(32) 同書第34頁第3行に「されて」とあるのを「される」と補正する。

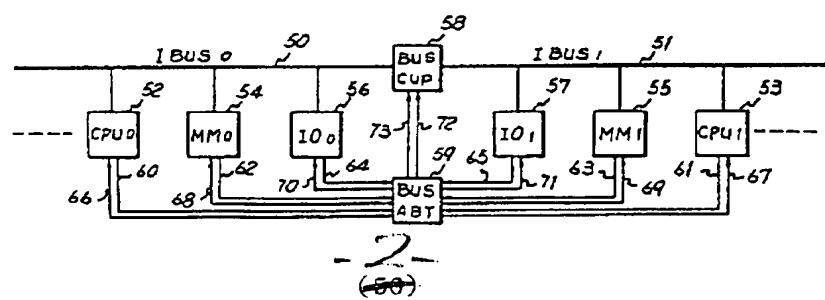
(33) 図面の第3図、第4図及び第6図を別紙のとおり補正する。

以 上

第3図

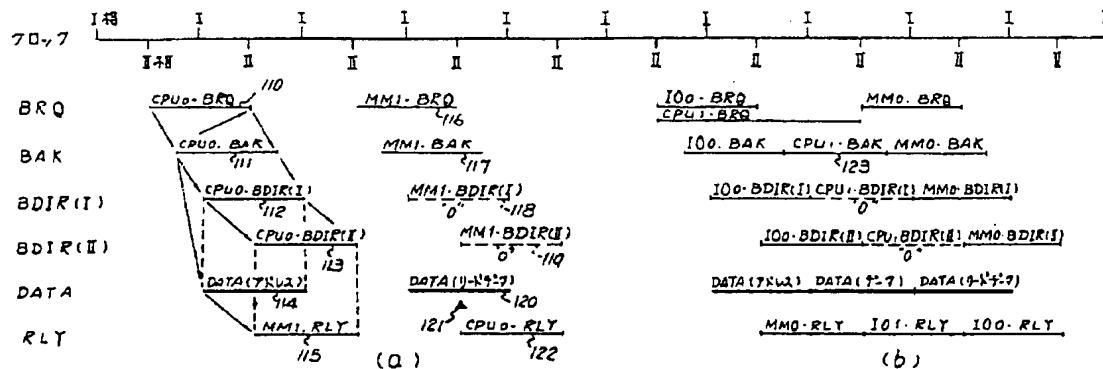


第4図



平成 1. 7. 4 施行

第 6 図



第 7 図

